

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-196386
(P2000-196386A)

(43) 公開日 平成12年7月14日 (2000. 7. 14)

(51) Int.Cl. ⁷	識別記号	F I	ターム(参考)
H 0 3 G 3/30		H 0 3 G 3/30	F 5 J 0 3 0
11/00		11/00	B 5 J 1 0 0

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平10-370290

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大高 章二

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5J030 CB09 CC02 CC05 CC06

5J100 JA00 KA05 LA00 QA01 QA03

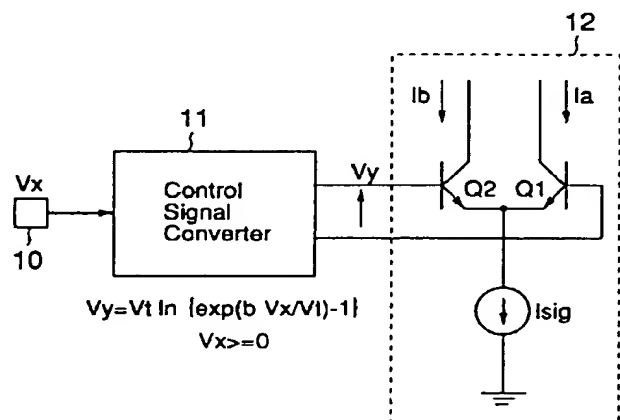
SA01 SA02

(54) 【発明の名称】 可変利得回路

(57) 【要約】

【課題】 利得制御信号に対して指数関数的に利得を制御できる範囲を拡大させた可変利得回路を提供する。

【解決手段】 第1の利得制御信号 V_x を第2の利得制御信号 V_y に変換する利得制御信号変換回路11と、第2の利得制御信号 V_y により利得が制御される利得制御回路12とを備え、利得制御信号変換回路11は $V_y = V_t \cdot \ln \{ \exp(b \cdot V_x / V_t) - 1 \}$ (ただし、 V_t : 熱電圧、 $b \geq 0$) なる入出力特性を有し、利得制御回路12は入力信号電流を I_{sig} 、出力信号電流を I_a としたとき、 $I_a / I_{sig} = 1 / [1 + \exp(V_y / V_t)]$ なる伝達関数を有する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 第1の利得制御信号を第2の利得制御信号に変換する利得制御信号変換回路と、
前記第2の利得制御信号により利得が制御される利得制御回路とを備え、

第1の利得制御信号を V_x 、第2の利得制御信号を V_y とし、熱電圧を V_t 、としたとき、前記利得制御信号変換回路は、

$$V_y = V_t \cdot \ln \{ \exp (b \cdot V_x / V_t) - 1 \}$$

ただし、 $b \geq 0$ なる入出力特性を有し、

前記利得制御回路は、入力信号電流を I_{sig} 、出力信号電流を I_a としたとき、

$$I_a / I_{sig} = 1 / [1 + \exp (V_y / V_t)]$$

なる伝達関数を有することを特徴とする可変利得回路。

【請求項2】 第1の利得制御信号を第2の利得制御信号に変換する利得制御信号変換回路と、

共通エミッタ端子に入力信号電流が注入され、一方のトランジスタのコレクタから出力信号電流が取り出される第1の差動トランジスタ対からなり、該差動トランジスタ対の二つのトランジスタのベース端子間に前記第2の利得制御信号が供給されることにより利得が制御される利得制御回路とを備え、

第1の利得制御信号を V_x 、第2の利得制御信号を V_y とし、熱電圧を V_t 、としたとき、前記利得制御信号変換回路は、

$$V_y = V_t \cdot \ln \{ \exp (b \cdot V_x / V_t) - 1 \}$$

ただし、 $b \geq 0$ なる入出力特性を有することを特徴とする可変利得回路。

【請求項3】 第1の利得制御信号を第2の利得制御信号に変換する利得制御信号変換回路と、

共通エミッタ端子に正の入力信号電流が注入され、一方のトランジスタのコレクタ端子から正の出力信号電流が取り出される第1の差動トランジスタ対と、共通エミッタ端子に負の入力信号電流が注入され、一方のトランジスタのコレクタ端子から負の出力信号電流が取り出される第2の差動トランジスタ対からなり、該第1の差動トランジスタ対の二つのトランジスタのベース端子間および該第2の差動トランジスタ対の二つのトランジスタのベース端子間に前記第2の利得制御信号が供給されることにより利得が制御される利得制御回路とを備え、

第1の利得制御信号を V_x 、第2の利得制御信号を V_y とし、熱電圧を V_t 、としたとき、前記利得制御信号変換回路は、

$$V_y = V_t \cdot \ln \{ \exp (b \cdot V_x / V_t) - 1 \}$$

ただし、 $b \geq 0$ なる入出力特性を有することを特徴とする可変利得回路。

【請求項4】 前記利得制御信号変換回路は、第3の差動トランジスタ対により構成され、該第3の差動トランジスタ対の共通エミッタ端子は I_o なる所定の直流電流が入力され、該第3の差動トランジスタ対の一方のトラ

ンジスタはコレクタ端子とベース端子が接続されると共にコレクタ端子に $I_o \cdot \exp (-b \cdot V_x / V_t)$ なる電流が入力され、該第3の差動トランジスタ対の他方のトランジスタはベース端子が所定の直流レベルに固定され、該第3の差動トランジスタ対の二つのトランジスタのベース端子の電位差を前記第2の利得制御信号として出力することを特徴とする請求項1、2、3のいずれか1項記載の可変利得回路。

【請求項5】 前記利得制御信号変換回路は、前記第3の差動トランジスタ対の前記一方のトランジスタのベース端子に、該トランジスタのベース端子および前記利得制御回路に流れるベース電流を補償する電流を入力する手段を有することを特徴とする請求項4記載の可変利得回路。

【請求項6】 前記第3の差動トランジスタ対の共通エミッタ端子にコレクタ端子が接続され、ベース端子とエミッタ端子間に所定のバイアス電圧が印加された第1のトランジスタと、

前記第1のトランジスタのベース端子の一端が接続された抵抗と、

前記抵抗の他端にベース端子が接続された第2のトランジスタと、

前記第2のトランジスタのベース端子に接続され、前記第1の利得制御信号に比例した電流を流す電流源と、

前記第2のトランジスタのコレクタ端子に電流入力端子が接続され、電流出力端子から前記 $I_o \cdot \exp (-b \cdot V_x / V_t)$ の電流を出力して、前記第3の差動トランジスタ対の前記一方のトランジスタのコレクタ端子に供給する第1のカレントミラー回路とを有することを特徴とする請求項4または5記載の可変利得回路。

【請求項7】 前記第3の差動トランジスタ対の共通エミッタ端子にコレクタ端子が接続され、ベース端子とエミッタ端子間に所定のバイアス電圧が印加された第1のトランジスタと、

前記第1のトランジスタのベース端子に一端が接続された抵抗と、

前記抵抗の他端にベース端子が接続された第2のトランジスタと、

前記第2のトランジスタのベース端子に接続され、前記第1の利得制御信号に比例した電流を流す電流源と、

前記第2のトランジスタのコレクタ端子にエミッタ端子が接続された第3のトランジスタと、

前記第3のトランジスタのコレクタ端子に電流入力端子が接続され、電流出力端子から前記 $I_o \cdot \exp (-b \cdot V_x / V_t)$ の電流を出力して、前記第3の差動トランジスタ対の前記一方のトランジスタのコレクタ端子に供給する第1のカレントミラー回路と、

前記第3のトランジスタのベース端子に電流入力端子が接続され、電流出力端子が前記第3の差動トランジスタ対の前記一方のトランジスタのベース端子に接続された

第2のカレントミラー回路とを有することを特徴とする請求項4または5記載の可変利得回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は可変利得回路に係り、特に利得制御信号に対して指数関数的に利得が変化するように構成された、携帯無線機等に好適な可変利得回路に関する。

【0002】

【従来の技術】近年、携帯電話機に代表される無線通信機器の開発が盛んに行われている。これらの無線通信機器は、例えば人間が所持したり、自動車などに搭載されて使用されるため、小型かつ軽量であることが要求される。このため、機器を構成する部品は従来の構成部品単体を多数接続したハイブリッド構成よりも、小型化、軽量化に向くモノリシックIC（集積回路）化が強く望まれている。部品の小型化の他に、機器の低価格化も当然に要求されるが、モノリシックIC化は低価格化にも欠かせない技術である。

【0003】このような無線通信機器における無線送受信機回路では、IF（中間周波数）段に可変利得増幅器（可変利得回路）が配置され、この可変利得回路によりIF信号を適正なレベルに調整できるように構成される。また、近年盛んに開発が進められているCDMA（符号分割多元接続）方式の無線通信機器では、送信電

$$I_a / I_{sig} = 1 / [1 + \exp(V_x / V_t)] \quad (1)$$

ここで V_t は熱電圧であり、常温で約26mVである。

【0007】式(1)から、 $1 \ll \exp(V_x / V_t)$ の条件では、 $I_a / I_{sig} = 1 / \exp(V_x / V_t)$ と近似でき、利得制御信号 V_x に対して利得は指数関数的に変化（減少）することが分かる。しかしながら、 $1 \ll \exp(V_x / V_t)$ の条件が成り立たない場合、例えば利得制御信号 V_x が0以下の領域では、 V_x と利得の関係は指数関数の関係ではなくなる。すなわち、利得制御信号 V_x に対し $1 \ll \exp(V_x / V_t)$ の仮定が成り立たなくなると、利得制御信号 V_x に対する利得の変化は指数関数的ではなくなってしまう。

【0008】無線通信機器等において利得制御を行う場合、利得制御信号 V_x に対して指数関数的に利得を変化させること、言い換えれば利得制御信号 V_x とデジベル表示した利得との関係が線形であることが制御の容易さから求められる。しかし、図10の可変利得回路では、このような線形の関係は $1 \ll \exp(V_x / V_t)$ の条件でしか得られず、広範囲の利得制御を行うことができない。また、このような線形の関係が得られる利得（ I_a / I_{sig} ）は最大でも1/2以下であり、入力信号電流 I_{sig} であるIF信号の約半分を捨ててしまうことになるため、可変利得回路に入力される信号のS/Nを低下させるという問題がある。

【0009】

力制御が必須であるため、このIF段の可変利得回路は70dB以上の信号レベル制御を可能とするような広範囲の利得制御を行うことが求められる。

【0004】一般に、このような広範囲の利得制御を行うためには、利得制御信号に対して指数関数的に信号レベルを調節することが要求される。しかし、従来の可変利得回路では以下に説明するように、利得制御信号に対して指数関数的に信号レベルを調節できる範囲がかなり制限され、上記の要求に応えることが難しく、この範囲を超えて利得を変化させるようにすると制御が困難になってしまうという問題がある。

【0005】図10に、従来の可変利得回路を示す。トランジスタQ100、Q101は差動トランジスタ対を構成しており、共通エミッタ端子に入力信号電流 I_{sig} が注入され、出力信号電流 I_a はトランジスタQ100のコレクタ端子から取り出される。入力信号電流 I_{sig} から所定の利得倍された出力信号電流 I_a を生成するために、利得制御信号 V_x がトランジスタQ100、Q101のベース端子間に入力される。トランジスタQ101のコレクタ端子に流れる電流（ $I_{sig} - I_a$ ）は不要電流とされ、電源等流れ込むように設計される。

【0006】この可変利得回路の利得、つまり入力信号電流 I_{sig} から出力信号電流 I_a への伝達関数は、近似的に次式(1)で表される。

【発明が解決しようとする課題】上述したように、従来の可変利得回路は利得制御信号に対して指数関数的に利得を制御できる範囲が狭く、この範囲を超えて利得を制御しようすると、制御が難しくなるという問題点があった。

【0010】従って、本発明の目的は、利得制御信号に対して指数関数的に利得を制御できる範囲を拡大できる可変利得回路を提供することにある。

【0011】

【課題を解決するための手段】上記の課題を解決するため、本発明に係る可変利得回路は、第1の利得制御信号を第2の利得制御信号に変換する利得制御信号変換回路と、第2の利得制御信号により利得が制御される利得制御回路とを備え、利得制御信号変換回路は、第1の利得制御信号を V_x 、第2の利得制御信号を V_y 、熱電圧を V_t としたとき、

$$V_y = V_t \cdot \ln \{ \exp(b \cdot V_x / V_t) - 1 \}$$

ただし、 $b \geq 0$ なる入出力特性を有し、利得制御回路は、入力信号電流を I_{sig} 、出力信号電流を I_a としたとき、

$$I_a / I_{sig} = 1 / [1 + \exp(V_y / V_t)]$$

なる伝達関数を有することを特徴とする。

【0012】 $I_a / I_{sig} = 1 / [1 + \exp(V_y / V_t)]$ の伝達関数を有する利得制御回路は、一つの

態様によると例えば、共通エミッタ端子に入力信号電流が注入され、一方のトランジスタのコレクタから出力信号電流が取り出される差動トランジスタ対からなり、この差動トランジスタ対の二つのトランジスタのベース端子間に第2の利得制御信号が供給されることにより利得が制御されるように構成される。

【0013】また、他の態様による利得制御回路は、上記と同じ伝達関数を有し、差動信号を入力できるように差動回路化された利得制御回路であって、共通エミッタ端子に正の入力信号電流が注入され、一方のトランジスタのコレクタ端子から正の出力信号電流が取り出される第1の差動トランジスタ対と、共通エミッタ端子に負の入力信号電流が注入され、一方のトランジスタのコレクタ端子から負の出力信号電流が取り出される第2の差動トランジスタ対からなり、第1の差動トランジスタ対の二つのトランジスタのベース端子間および第2の差動トランジスタ対の二つのトランジスタのベース端子間に第2の利得制御信号が供給されることにより利得が制御されるように構成される。

【0014】本発明による可変利得回路では、例えば外部から入力される第1の利得制御信号 V_x が利得制御信号変換回路によって $V_y = V_t \cdot \ln \{ \exp(b \cdot V_x / V_t) - 1 \}$ なる第2の利得制御信号に変換された後、利得制御回路に入力される。利得制御回路の伝達関数（利得）、つまり出力信号電流 I_a と入力信号電流 I_{sig} の比は $I_a / I_{sig} = 1 / [1 + \exp(V_y / V_t)]$ であり、これに $V_y = V_t \cdot \ln \{ \exp(b \cdot V_x / V_t) - 1 \}$ の関係を代入すると、 $I_a / I_{sig} = \exp(-b \cdot V_x / V_t)$ となり、第1の利得制御信号 V_x に対して指数関数的に変化する。

【0015】従って、第1の利得制御信号 V_x が0の領域から、利得 I_a / I_{sig} を V_x に対して指数関数的に変化させることができる。すなわち、第1の利得制御信号 V_x に対して指数関数的に利得を制御できる範囲が拡大される。

【0016】本発明における利得制御信号変換回路は、例えば差動トランジスタ対（第3の差動トランジスタ対）により構成される。この差動トランジスタ対の共通エミッタ端子は I_o なる所定の直流電流が注入され、この第3の差動トランジスタ対の一方のトランジスタはコレクタ端子とベース端子が接続されると共にコレクタ端子に $I_o \cdot \exp(-b \cdot V_x / V_t)$ なる電流が注入され、この第3の差動トランジスタ対の他方のトランジスタはベース端子が所定の直流レベルに固定される。そして、この第3の差動トランジスタ対の二つのトランジスタのベース端子の電位差を第2の利得制御信号として出力する。

【0017】本発明における他の利得制御信号変換回路は、さらに第3の差動トランジスタ対の一方のトランジスタのベース端子に、このトランジスタのベース端子お

よび利得制御回路に流れるベース電流を補償する電流を入力する手段を有することを特徴とする。

【0018】本発明における別の利得制御信号変換回路は、第3の差動トランジスタ対の共通エミッタ端子にコレクタ端子が接続され、ベース端子とエミッタ端子間に所定のバイアス電圧が印加された第1のトランジスタと、この第1のトランジスタのベース端子に一端が接続された抵抗と、この抵抗の他端にベース端子が接続された第2のトランジスタと、この第2のトランジスタのベース端子に接続され、第1の利得制御信号に比例した電流を流す電流源と、第2のトランジスタのコレクタ端子に電流入力端子が接続され、電流出力端子から $I_o \cdot \exp(-b \cdot V_x / V_t)$ の電流を出力して、第3の差動トランジスタ対の一方のトランジスタのコレクタ端子に供給する第1のカレントミラー回路とをさらに有することを特徴とする。

【0019】本発明におけるさらに別の利得制御信号変換回路は、差動回路化された利得制御回路に適合した構成であって、第3の差動トランジスタ対の共通エミッタ端子にコレクタ端子が接続され、ベース端子とエミッタ端子間に所定のバイアス電圧が印加された第1のトランジスタと、この第1のトランジスタのベース端子に一端が接続された抵抗と、この抵抗の他端にベース端子が接続された第2のトランジスタと、この第2のトランジスタのベース端子に接続され、第1の利得制御信号に比例した電流を流す電流源と、第2のトランジスタのコレクタ端子にエミッタ端子が接続された第3のトランジスタと、この第3のトランジスタのコレクタ端子に電流入力端子が接続され、電流出力端子から $I_o \cdot \exp(-b \cdot V_x / V_t)$ の電流を出力して、第3の差動トランジスタ対の一方のトランジスタのコレクタ端子に供給する第1のカレントミラー回路と、第3のトランジスタのベース端子に電流入力端子が接続され、電流出力端子が第3の差動トランジスタ対の一方のトランジスタのベース端子に接続された第2のカレントミラー回路とを有することを特徴とする。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。

【第1の実施形態】図1は、本発明の第1の実施形態に係る可変利得回路の基本構成を示す図である。利得制御信号入力端子10には、可変利得回路の利得を外部から制御するための第1の利得制御信号 V_x が入力される。この第1の利得制御信号 V_x は、利得制御信号変換回路（Control Signal Converter）11により第2の利得制御信号 V_y に変換された後、利得制御回路12に供給される。

【0021】利得制御回路12は、第2の利得制御信号 V_y により利得が制御される回路であり、図10に示した従来の可変利得回路と同様に差動トランジスタ対を構

成するトランジスタQ1、Q2からなる。トランジスタQ1、Q2の共通エミッタ端子に入力信号電流I_{sig}が注入され、トランジスタQ1のコレクタ端子から出力信号電流I_aが取り出される。トランジスタQ2のコレクタ端子に流れる電流I_b (I_{sig} - I_a)は不要電流であり、電源等から供給される。

$$V_y = V_t \cdot \ln \{ \exp (b \cdot V_x / V_t) - 1 \} \quad (2)$$

ここで、 $b \geq 0$ 、 $V_x \geq 0$ である。ただし、 $V_x = 0$ の場合は、式(2)から V_y は $-\infty$ となるが、この場合は差動トランジスタ対の一方のトランジスタ(Q1)にのみ入力信号電流I_{sig}が流れると解釈するものとする。

【0023】次に、第2の利得制御信号 V_y を利得制御

$$I_a / I_{sig} = 1 / [1 + \exp (V_y / V_t)] \quad (3)$$

ここで、 V_t は熱電圧であり、常温で約26mVである。式(3)は、図10に示した従来の可変利得回路の伝達関数を表した式(1)における利得制御信号 V_x が利得制御信号変換回路11により変換された第2の利得

$$\begin{aligned} I_a / I_{sig} &= 1 / [1 + \exp (V_y / V_t)] \\ &= 1 / [1 + \exp \{ (V_t / V_t) \ln \{ \exp (b \cdot V_x / V_t) - 1 \} \}] \\ &= 1 / [1 + \exp (b \cdot V_x / V_t) - 1] \\ &= 1 / [\exp (b \cdot V_x / V_t)] \\ &= \exp (-b \cdot V_x / V_t) \end{aligned} \quad (4)$$

この式(4)より、第1の利得制御信号 V_x を0から正方向に増加させると、利得が指数関数的に減少することが分かる。また、第1の利得制御信号 V_x が0の場合、利得 I_a / I_{sig} は1であり、入力信号電流I_{sig}が全て出力信号電流I_aとして出力されることになる。

【0026】図10に示した従来の可変利得回路は、式(1)に示した伝達関数であり、前述したように、 $1 \ll \exp (V_x / V_t)$ の条件が成立する場合のみしか $I_a / I_{sig} = 1 / \exp (V_x / V_t)$ の関係が得られず、例えば I_a / I_{sig} が1/2に近い領域では、利得制御信号 V_x に対して I_a / I_{sig} が指数関数的に変化しなくなってしまったのに対して、本発明においては $I_a / I_{sig} = 1$ の領域まで、利得制御信号 V_x に対して I_a / I_{sig} を指数関数的に変化させることができることが明らかである。すなわち、可変利得回路に入力される第1の利得制御信号 V_x に対して利得が指数関数的に変化する範囲を従来の可変利得回路に比較して大幅に拡大することができる。

【0027】次に、図2～図5を用いて図1における利得制御信号変換回路11の具体例を幾つか説明する。

【0028】(利得制御信号変換回路の具体例1)図2に示す利得制御信号変換回路11-Aは、トランジスタQ10、Q11からなる差動トランジスタ対を主体として構成され、トランジスタQ10、Q11の共通エミッタ端子には直流電流I_oが入力される。この差動トランジスタ対の一方のトランジスタQ10は、破線で示すよ

【0022】利得制御信号変換回路11から出力される第2の利得制御信号 V_y は電圧信号であり、利得制御回路12のトランジスタQ1、Q2のベース端子間に入力される。利得制御信号変換回路11は、第1の利得制御信号 V_x を次式の入出力特性に従って第2の利得制御信号 V_y に変換する。

回路12に入力した場合、出力信号電流I_aが第1の利得制御信号 V_x に対して指数関数的に変化することを説明する。

【0024】図1中に示した利得制御回路12の利得、つまり入力信号電流I_{sig}から出力信号電流I_aへの伝達関数は、次式(3)で表される。

制御信号 V_y に置き換わっている点以外、式(1)と同様である。

【0025】この式(3)の V_y に式(2)を代入すると、次のようになる。

うにコレクタ端子とベース端子が接続された、いわゆるダイオード接続とされており、コレクタ端子には $I_1 = I_o \cdot \exp (-b \cdot V_x / V_t)$ なる電流が入力される。差動トランジスタ対の他方のトランジスタQ11のベース端子は電源端V_{BB}に接続され、所定の直流レベルに固定されており、コレクタ端子は他の電源端V_{CC}に接続される。そして、トランジスタQ10、Q11のベース端子間の電位差が出力端子13-1、13-2から第2の利得制御信号 V_y として出力される。

【0029】この場合、利得制御信号変換回路11の出力端子13-1、13-2から見た利得制御回路12の入カインピーダンスが高いことが要求されるが、図1に示したように第2の利得制御信号 V_y は利得制御回路12の差動トランジスタ対Q1、Q2のベース端子間に入力されるので、入カインピーダンスは高いと見なすことができる。

【0030】図2に示した構成の利得制御信号変換回路11-Aにおいて、入力である第1の利得制御信号 V_x と出力である第2の利得制御信号 V_y の関係が式(2)を満たすことを以下に説明する。ただし、ここでは各トランジスタのベース電流は小さいため、無視して解析を行う。

【0031】第2の利得制御信号 V_y はトランジスタQ10、Q11のベース端子間の電位差であるから、 $V_y = V_{BE}(Q11) - V_{BE}(Q10)$ となる。 $V_{BE}(Q10)$ 、 $V_{BE}(Q11)$ は、それぞれトランジスタQ1

0. Q11のベース・エミッタ間電圧である。従って、【0032】
第2の利得制御信号 V_y は次式で表される。

$$\begin{aligned} V_y &= V_t \{ \ln((I_o - I_1)/I_s) - \ln(I_1/I_s) \} \\ &= V_t \cdot \ln(I_o/I_1 - 1) \\ &= V_t \cdot \ln(I_o / (I_o \cdot \exp(-b \cdot V_x/V_t)) - 1) \\ &= V_t \cdot \ln\{\exp(b \cdot V_x/V_t) - 1\} \\ &= \text{式(3)} \end{aligned} \quad (5)$$

このように図2に示した利得制御信号変換回路11-Aは、式(2)を満たしており、この回路11-Aを図1中の利得制御信号変換回路11として用いることにより、第1の利得制御信号 V_x に対して利得制御回路12の利得を指数関数的に変化させることができる。言い換えれば、第1の利得制御信号 V_x と出力信号電流 I_a の対数の関係を線形とすることができる。

【0033】(利得制御信号変換回路の具体例2) 図3に示す利得制御信号変換回路11-Bは、図2に示した利得制御信号変換回路11-Aでは無視したベース電流を補償する回路例を示しており、図2と異なるところはトランジスタQ10のベース端子にベース電流補償用の電流 I_b が入力されている点である。

【0034】一般に、利得制御信号変換回路に比べ利得制御回路12は電流が大きいので、図2に示した利得制御信号変換回路11-Aでは、トランジスタQ10に流すべき電流 I_1 の一部が利得制御回路12に流れてしまい、第1の利得制御信号 V_x による利得設定値に対して利得誤差が生ずる。

【0035】利得制御回路12の動作電流およびトランジスタの β (電流増幅率)はICの製造プロセスにより自明であるので、利得制御回路12が吸い込むベース電流は推定可能である。この推定を基に、上述したベース電流補償用の電流 I_b を設定することができる。また、後で述べるように、ベース電流モニタ回路を用いてベース電流補償を行ってもよい。

【0036】(利得制御信号変換回路の具体例3) 図4に示す利得制御信号変換回路11-Cは、図2に示した利得制御回路11-Aをさらに具体的に示している。以下、図2と異なる点についてのみ説明すると、図2にお

$$I_o = I_s \cdot \exp(V_{BE}/V_t) \quad (6)$$

一方、トランジスタQ21のコレクタ電流 I_1 は、トランジスタQ21のベース電圧を抵抗 R (抵抗値 R とする)によって電圧源 V_{BE} (電圧値を V_{BE} とする)より I

$$\begin{aligned} I_1 &= I_s \cdot \exp((V_{BE} - I_{cnt} \cdot R)/V_t) \\ &= I_s \cdot \exp(V_{BE}/V_t) \exp(-I_{cnt} \cdot R/V_t) \\ &= I_o \cdot \exp(-k V_x \cdot R/V_t) \\ &= I_o \cdot \exp(-b \cdot V_x/V_t) \end{aligned} \quad (7)$$

ここで、 $k \cdot R = b$ とした。従って、この回路により電流 $I_1 = I_o \cdot \exp(-b \cdot V_x/V_t)$ が生成されることが分かる。

【0041】また、IC製造上のばらつきを考えると、電流 I_1 の最大値に対して電流 I_o が大きくなる可能性

ける直流電流 I_o を発生する電流源は、電圧源 V_{BE} および第1のトランジスタQ20により実現される。トランジスタQ20のベース端子は電圧源 V_{BE} および抵抗 R の一端に接続され、抵抗 R の他端は第2のトランジスタQ21のベース端子および利得制御電流源 I_{cnt} ($=k V_x$)に接続される。

【0037】利得制御電流源 I_{cnt} は、第1の利得制御信号 V_x の電圧に比例した(比例係数 k とする)直流電流を発生する。このような利得制御電流源は、例えばエミッタ縮退抵抗をエミッタ端子間に接続して線形範囲を拡大させた差動回路等により構成される電圧-電流変換回路を用いて簡単に実現できるので、ここでは詳しい説明を省く。

【0038】トランジスタQ21のエミッタ端子は接地され、コレクタ端子はトランジスタQ22、Q23および抵抗 $R10$ 、 $R11$ からなるカレントミラー回路の電流入力端子(トランジスタQ22のベース/コレクタ端子)に接続される。このカレントミラー回路の電流出力端子(トランジスタQ23のコレクタ端子)は、トランジスタQ10のコレクタ端子に接続されている。

【0039】このように構成された利得制御信号変換回路11-Cにおいては、トランジスタQ22、Q23および抵抗 $R10$ 、 $R11$ よりなるカレントミラー回路の電流出力端子からトランジスタQ10のコレクタ端子に前述した $I_1 = I_o \cdot \exp(-b \cdot V_x/V_t)$ なる電流が供給される。以下、この点について詳しく説明する。

【0040】トランジスタQ20のコレクタ電流 I_o は、次式で表される。

$I_{cnt} \cdot R$ 分だけ降下させた電圧となるので、次式で表される。 I_{cnt} は、利得制御電流源 I_{cnt} ($=k V_x$)の電流値を表す。

があり、その場合には第1の利得制御信号 V_x に利得制御が不感となる領域が存在することになる。

【0042】このような第1の利得制御信号 V_x による利得制御不感領域の発生を回避するためには、カレントミラー回路の入出力電流比を1未満とする、つまりトラ

ンジスタQ22のエミッタ面積をトランジスタQ23のエミッタ面積に比べ大きくするか、またはトランジスタQ22のエミッタに接続されている抵抗R10の値をトランジスタQ23のエミッタに接続されている抵抗R11よりも小さくすればよい。

【0043】これにより、ばらつきの範囲内で $I_o > I_1$ とすることが可能となり、利得制御信号 V_x による利得制御不感領域がなくなる。但し、 V_x が0の場合でも $I_1 > I_o$ になってしまうため、最大利得は下ることになる。しかし、最大利得の劣化は1dB以下に抑えることが詳細な設計により可能であり、実用上問題とはならない。

【0044】一方、 $V_x = A$ ($A > 0$) から利得制御を行いたい場合は、上記と反対の手法をとればよい。すなわち、 $I_o < I_1$ とするため、カレントミラー回路の入出力電流比を1以上とする、つまりトランジスタQ22のエミッタ面積をトランジスタQ23のエミッタ面積に比べ小さくするか、または抵抗R10の値を抵抗R11よりも大きくすればよい。これは、第1の利得制御信号 V_x が0Vを出力できず、例えば0.5V以上の値しか出力できないような場合に有効である。

【0045】(利得制御信号変換回路の具体例4) 図5に示す利得制御信号変換回路11-Dは、図3に示した利得制御信号変換回路11-Bをさらに具体的に示しており、前述したようにベース電流をモニタしてベース電流を補償する機能を有する。

【0046】図4と異なる部分について説明すると、図5では利得制御信号変換回路11-D内に第3のトランジスタQ26と第1および第2のカレントミラー回路が設けられている。すなわち、第2のトランジスタQ21のコレクタ端子に第3のトランジスタQ26のエミッタ端子が接続され、トランジスタQ26のコレクタ端子はトランジスタQ22、Q23および抵抗R10、R11からなる第1のカレントミラー回路の電流入力端子(トランジスタQ22のベース/コレクタ端子)に接続される。この第1のカレントミラー回路の電流出力端子(トランジスタQ23のコレクタ端子)は、トランジスタQ10のコレクタ端子に接続されている。

【0047】一方、第3のトランジスタQ26のベース端子には、トランジスタQ24、Q25および抵抗R1、R2からなる第2のカレントミラー回路の電流入力端子(トランジスタQ25のベース/コレクタ端子)が接続される。この第2のカレントミラー回路の電流出力端子(Q24のコレクタ端子)は、トランジスタQ10のベース/コレクタ端子およびトランジスタQ1のベース端子に接続される。

【0048】ここで、利得制御回路12における入力信号電流 I_{sig} の直流成分を $(n-1)I_o$ とし、第1のトランジスタQ20のコレクタ電流と第1の利得制御信号 V_x が0のときの第2のトランジスタQ21のコレ

クタ電流をいずれも I_o と設定する。さらに、第2のカレントミラー回路を構成するトランジスタQ24、Q25のエミッタ面積比を $n:1$ とし、抵抗R1、R2の比を $R1:R2=n:1$ とする。

【0049】このように構成される利得制御信号変換回路11-Dにおいては、 $V_x=0$ のとき、第3のトランジスタQ26のベース電流 I_o/β (β :電流増幅率)が第2のカレントミラー回路の電流入力端子であるトランジスタQ25のベース/コレクタ端子に入力され、このカレントミラー回路で n 倍されて電流出力端子であるトランジスタQ24のコレクタ端子から $n \cdot I_o/\beta$ が出力される。

【0050】 $V_x=0$ の場合、トランジスタQ10に流れる電流は I_o 、トランジスタQ1に流れる電流は $(n-1)I_o$ であるため、これら二つのトランジスタQ10、Q1のベース電流の和は $I_o/\beta + (n-1)I_o/\beta = n \cdot I_o/\beta$ となる。これらのベース電流は、上述したように第2のカレントミラー回路により供給される。従って、トランジスタQ10のコレクタに流すべき電流 I_1 の一部がトランジスタQ10のベースおよび利得制御回路12内のトランジスタQ1のベースに供給されることがなくなり、第1の利得制御信号 V_x により設定される利得が正確に得られる。

【0051】〔第2の実施形態〕図6は、本発明の第2の実施形態に係る可変利得回路の基本構成を示す図であり、利得制御回路を差動回路化した場合を示している。入力端子10に外部から入力される第1の利得制御信号 V_x が利得制御信号変換回路11により第2の利得制御信号 V_y に変換された後、利得制御回路14に供給される点は、図1に示した第1の実施形態と同様である。

【0052】利得制御回路14は、第1の差動トランジスタ対を構成するトランジスタQ1、Q2と、第2の差動トランジスタ対を構成するトランジスタQ3、Q4を主体として構成される。第1の差動トランジスタ対においては、トランジスタQ1、Q2の共通エミッタ端子に正の入力信号電流 $+I_{sig}$ が注入され、一方のトランジスタQ1のコレクタ端子から正の出力信号電流 $+I_a$ が取り出される。同様に、第2の差動トランジスタ対においては、トランジスタQ3、Q4の共通エミッタ端子に負の入力信号電流 $-I_{sig}$ が注入され、一方のトランジスタQ3のコレクタ端子から負の出力信号電流 $-I_a$ が取り出される。出力信号電流として取り出されないトランジスタQ2、Q4のコレクタ電流 $+I_b$ 、 $-I_b$ は図示しない電圧源VCCに流れるものとする。

【0053】そして、第1の差動トランジスタ対の二つのトランジスタQ1、Q2のベース端子間および第2の差動トランジスタ対の二つのトランジスタQ3、Q4のベース端子間に、利得制御信号変換回路11からの第2の利得制御信号 V_y が供給されることにより、利得制御回路14の利得が制御される。利得制御信号変換回路1

1の V_y と V_x の関係は図1と同様であり、ここでは説明を省く。

【0054】次に、図7および図8を用いて第2の実施形態に係る可変利得回路のより具体的な例について説明する。

【0055】（第1の具体例）図7は第1の具体例であり、図4で説明した利得制御信号変換回路11-Cを図6で説明した差動回路化した利得制御回路14と組合わせた例である。利得制御信号変換回路11-Cおよび利得制御回路14の動作は、図4および図6で説明した通りであるため、詳細な説明は省略する。

【0056】（第2の具体例）図8は第2の具体例であり、図5で説明した利得制御信号変換回路11-Dとほぼ同様の利得制御信号変換回路11-Eを図6で説明した差動回路化した利得制御回路14と組合わせた例である。

【0057】利得制御信号変換回路11-Eは、図5中に示した利得制御信号変換回路11-Dと回路構成は同じであるが、トランジスタQ10のベース電流および差動回路化された利得制御回路14のトランジスタQ1、Q3のベース電流を補償するため、トランジスタQ2、Q4、Q25および抵抗R1、R2からなる第2のカレントミラー回路のトランジスタサイズ比および抵抗比を図5の場合と異ならせている。

【0058】具体的には、図8中に示すようにトランジスタQ25、Q26のエミッタ面積比を1:(2n-1)とし、抵抗R1、R2の抵抗比を(2n-1):1としている。これにより、Q1、Q3およびQ10のベース電流を補償し、第1の利得制御信号 V_x により設定される利得を正確に得ることができる。

【0059】〔応用例〕次に、本発明による可変利得回路の応用システムの例として、携帯電話機その他の移動無線通信機器における無線送受信機回路について説明する。図9は、ヘテロダイン方式による無線送受信機回路の構成を示している。なお、ここでは送受の切り替えを時分割で行うTDD(Time Division Duplex)方式を例として説明するが、これに限るものではない。

【0060】送信時には、送信側ベースバンド処理部101からベースバンド信号発生部で発生された直交した二つのベースバンド信号 $I_{ch}(TX)$ 、 $Q_{ch}(TX)$ が適当な帯域制限フィルタにより処理されて出力される。これらのベースバンド信号 $I_{ch}(TX)$ 、 $Q_{ch}(TX)$ は乗算器102、103と加算器104からなる直交変調器に入力され、周波数 f_{L02} の第2局部発振信号を変調する。第2局部発振信号は局部発振器301で発生され、90°移相器(90-PS)302により直交した2つの信号に分割されて直交変調器に入力される。

【0061】この直交変調器から出力される変調後の信号はIF信号であり、可変利得回路105に入力され

る。可変利得回路105は、これまで説明した本発明に基づく可変利得回路であり、図示しない制御系からの利得制御信号(第1の利得制御信号 V_x に相当)に従って入力のIF信号を適当な信号レベルに調整する。

【0062】この場合、IF信号は電流信号として可変利得回路105に与えられる。さらに、先に説明した可変利得回路では出力信号が電流信号として取り出されるが、可変利得回路105の出力として電圧信号が要求される場合には、電流信号が電圧信号に変換されて出力される。

【0063】可変利得回路105から出力されるIF信号は、一般に直交変調器および可変利得回路105で発生する不要な高調波を含むため、この不要成分を除去するためのローパスフィルタ(LPF)またはバンドパスフィルタ(BPF)からなるフィルタ106を介してアップコンバータ107に入力される。

【0064】アップコンバータ107は、IF信号と第1局部発振器304で発生される周波数 f_{L01} の第1局部発振信号との乗算を行い、周波数 $f_{L01}+f_{L02}$ のRF信号と周波数 $f_{L01}-f_{L02}$ のRF信号を生成する。これら二つのRF信号のいずれか一方が所望波とされ、一方は不要なイメージ信号である。ここでは、周波数 $f_{L01}+f_{L02}$ のRF信号を所望波とするが、周波数 $f_{L01}-f_{L02}$ のRF信号を所望波としてもよい。イメージ信号は、BPFからなるイメージ除去用フィルタ108により除去される。所望波は電力増幅器109により所要の電力レベルまで増幅された後、送受切り替えスイッチ(またはデュプレクサ)306を介してアンテナ307に供給され、電波として放射される。

【0065】一方、受信時には、アンテナ307から出力される受信RF信号が送受切り替えスイッチ(またはデュプレクサ)306およびBPFからなるフィルタ201を介して低雑音増幅器(LNA)202に入力される。LNA202により増幅された受信RF信号は、BPFからなるイメージ除去用フィルタ203を介してダウンコンバータ204に入力される。

【0066】ダウンコンバータ204は、第1局部発振器304で発生される周波数 f_{L01} の第1局部発振信号と受信RF信号の乗算を行い、受信RF信号をIF信号に周波数変換する。このIF信号はBPFからなるフィルタ205を通過した後、可変利得回路206を介して分波器(図示せず)および乗算器207、208からなる直交復調器に入力される。

【0067】ここで、可変利得回路206は送信側の可変利得回路105と同様に、これまで説明した本発明に基づく可変利得回路であり、図示しない制御系からの利得制御信号(第1の利得制御信号 V_x に相当)に従って入力のIF信号を適当な信号レベルに調整する。この場合も、IF信号は電流信号として可変利得回路206に与えられ、また可変利得回路206の出力として電圧信

号が要求される場合には、電流信号が電圧信号に変換されて出力される。

【0068】上記の直交復調器には、送信側の直交変調器と同様に第2局部発振器301から90°移相器303を介して直交した周波数fL02の第2局部発振信号が入力される。この直交復調器の出力Ic h (RX)およびQc h (RX)は受信側ベースバンド処理部209に入力され、ここで受信信号が復調されることにより、元のベースバンド信号が再生される。

【0069】なお、この応用例ではIF段の可変利得回路105、206に本発明を適用すると述べてきたが、高周波回路である送信側の電力増幅器109や受信側のLNA202を可変利得回路で構成する場合にも、本発明の可変利得回路の構成を適用することができる。これらの場合、基本的には入力信号がIF信号からRF信号に変わるだけである。

【0070】

【発明の効果】以上説明したように、本発明によれば外部からの第1の利得制御信号を利得制御回路への入力に適した第2の利得制御信号に変換する利得制御信号変換回路を設け、第1の利得制御信号に対して利得が指数関数的に変化する第1の利得制御信号の制御電圧範囲を拡大することができる。

【0071】従って、本発明の可変利得回路では、利得制御信号とデシベル表示した利得との関係が線形となることにより、広範囲の利得制御を簡単な制御で可能とするとともに、可変利得回路において信号電流を無駄に捨てることがなくなるため、信号のS/N比を高く維持することが可能となる。

【図面の簡単な説明】

【図1】 本発明の一実施形態に係る可変利得回路の基本構成を示す図

【図2】 図1における利得制御信号変換回路の第1の例を示す回路図

【図3】 図1における利得制御信号変換回路の第2の例を示す回路図

【図4】 図1における利得制御信号変換回路の第3の例および利得制御回路を示す回路図

【図5】 図1における利得制御信号変換回路の第4の例および利得制御回路を示す回路図

【図6】 本発明の他の実施形態に係る可変利得回路の

基本構成を示す図

【図7】 図6における利得制御信号変換回路の第1の例および利得制御回路を示す回路図

【図8】 図6における利得制御信号変換回路の第2の例および利得制御回路を示す回路図

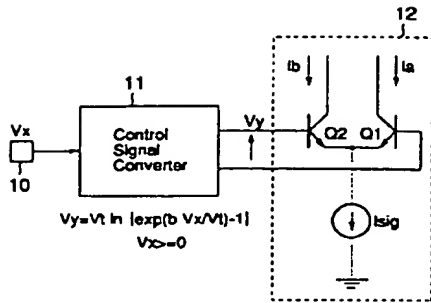
【図9】 ヘテロダイン方式による無線送受信機の無線回路部の構成例を示すブロック図

【図10】 従来の変利得回路の例を示す回路図

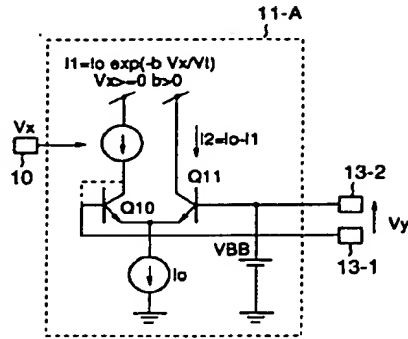
【符号の説明】

10…第1の利得制御信号の入力端子
11, 11-A, 11-B, 11-C, 11-D…利得制御信号変換回路
12, 14…利得制御回路
13-1, 13-2…第2の利得制御信号の出力端子
Q1, Q2…第1の差動トランジスタ対のトランジスタ
Q3, Q4…第2の差動トランジスタ対のトランジスタ
Q10, Q11…第3の差動トランジスタ対のトランジスタ
Q20…第1のトランジスタ
Q21…第2のトランジスタ
Q22, Q23…カレントミラー回路(第1のカレントミラー回路)のトランジスタ
Q24, Q25…第2のカレントミラー回路のトランジスタ
Q26…第3のトランジスタ
Vx…第1の利得制御信号
Vy…第2の利得制御信号
101…送信側ベースバンド処理部
102, 103, 207, 208…ミキサ
104…加算器
105, 206…可変利得増幅器
106, 108, 201, 203, 205…フィルタ
107…アップコンバータ
109…電力増幅器
202…低雑音増幅器
204…ダウンコンバータ
209…受信側ベースバンド処理部
301, 304…局部発振器
302, 303…90°移相器
306…送受切替えスイッチまたはデュプレクサ
307…アンテナ

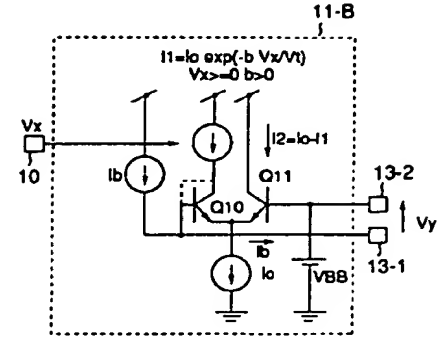
【図 1】



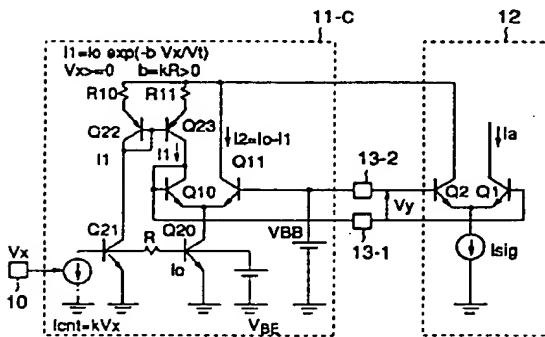
【図 2】



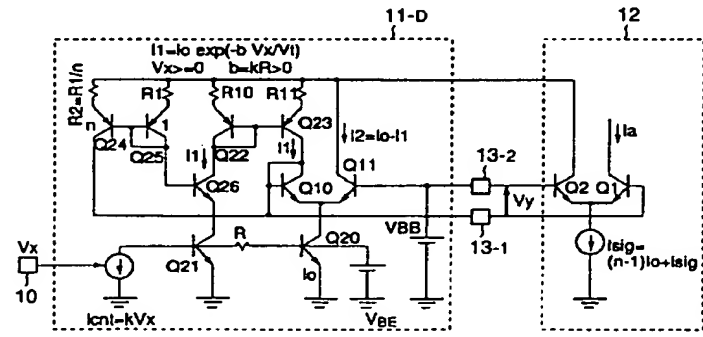
【図 3】



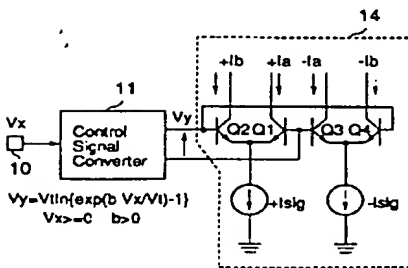
【図 4】



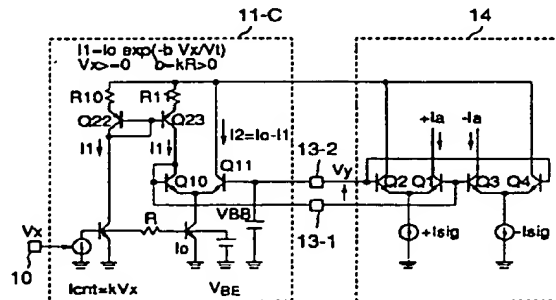
【図 5】



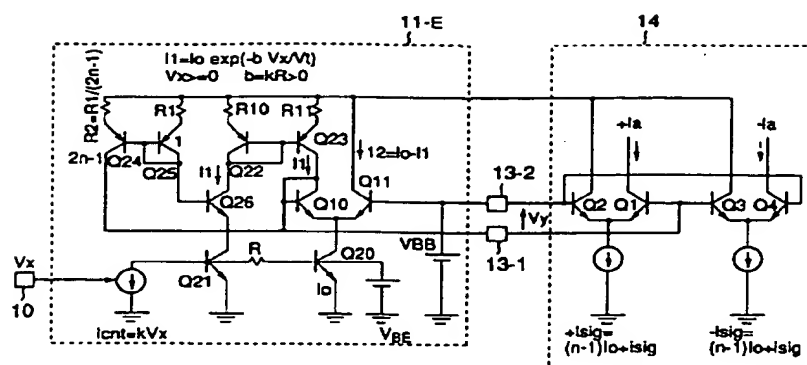
【図 6】



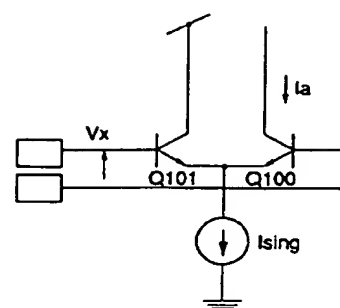
【図 7】



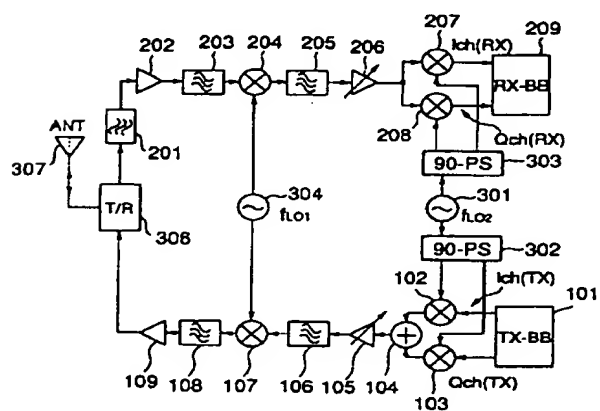
【図 8】



【図 10】



【図 9】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.